

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-303099
(43)Date of publication of application : 28.10.1994

(51)Int. Cl.

H03H 17/00

G11B 20/10

G11B 20/18

H03H 15/00

H03H 17/02

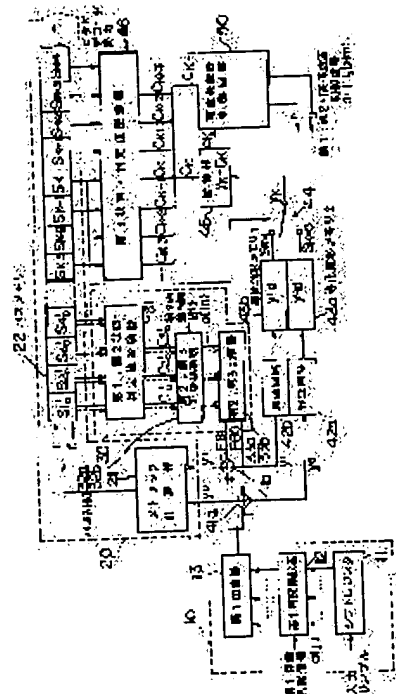
(21)Application number : 05-109938 (71)Applicant : VICTOR CO OF JAPAN LTD
(22)Date of filing : 13.04.1993 (72)Inventor : HAYAMIZU ATSUSHI

(54) WAVEFORM EQUALIZING CIRCUIT

(57)Abstract:

PURPOSE: To prevent the delay of the convergence of the coefficient of a filter, or the increase of a discrimination error when the characteristic of a transmission line is changed by controlling the coefficient of a filter based on the discriminated result of a viterbi decoder with an extremely small error.

CONSTITUTION: Output signals (y)0 and (y)1 of adders 41a and 41b are decoded by a viterbi decoder 20, and delayed until a coefficient control point of time (k) of each variable coefficient unit 12, 32a, and 32b of an adaptive transversal filter 10 and an adaptive discrimination feedback filter 30 by delay circuits 42a and 42b, and stored in equalized waveform memories 43a and 43b. A state/ discrimination value converter 46 converts a state S in a path memory 22 of the viterbi decoder 20 into a discrimination value C. A variable coefficient unit control circuit 50 calculates each coefficient a(j) and b(m) of the variable coefficient unit 12 of the transversal filter 10 and the variable coefficient units 32a and 32b of the adaptive discrimination feedback filter 30 based on the discrimination value C and an equalization error (e)k being the output of a subtracter 45.



LEGAL STATUS

[Date of request for examination]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-303099

(43)公開日 平成 6 年(1994)10月28日

| (51)IntCl ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|------------------------|-------|------------|-----|--------|
| H 0 3 H 17/00 | | B 7037-5 J | | |
| G 1 1 B 20/10 | 3 2 1 | A 7736-5 D | | |
| | 20/18 | V 9074-5 D | | |
| H 0 3 H 15/00 | | 7037-5 J | | |
| 17/02 | G | 7037-5 J | | |

審査請求 未請求 請求項の数 1 F D (全 9 頁) 最終頁に続く

(21)出願番号 特願平5-109938

(22)出願日 平成 5 年(1993) 4 月13日

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町 3 丁目12番
地

(72)発明者 速水 淳

神奈川県横浜市神奈川区守屋町 3 丁目12番
地 日本ビクター株式会社内

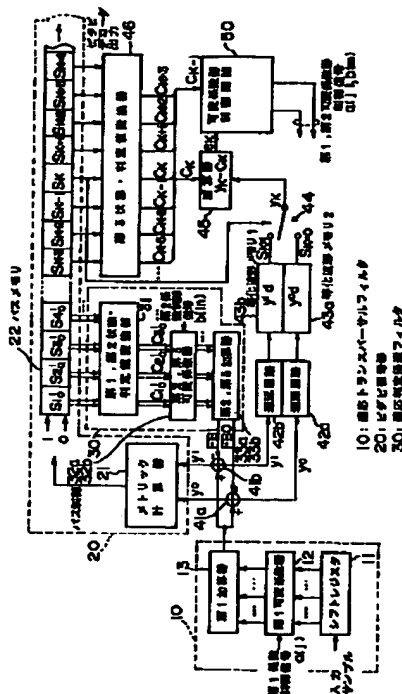
(74)代理人 弁理士 二瓶 正敬

(54)【発明の名称】 波形等化回路

(57)【要約】

【目的】 伝送路の特性が変化したときに係数の収束が遅くなったり、判定誤りが増加することを防止することができる波形等化回路を提供する。

【構成】 状態・判定値変換器46はビタビ復号器20のバスメモリ22における状態Sを判定値Cに変換し、可変係数器制御回路50は、この判定値Cと減算器45の出力である等化誤差 e_k に基づいてトランスバーサルフィルタ10の可変係数器12と、適応判定帰還フィルタ30の可変係数器32a、32bの各係数 $a(j)$ 、 $b(m)$ を演算する。



【特許請求の範囲】

【請求項1】 伝送路の周波数特性の変化を吸収するための可変係数器を備えた適応トランスバーサルフィルタおよび適応判定帰還フィルタの少なくとも一方と、前記2つのフィルタの少なくとも一方の出力を復号するビタビ復号器と、前記ビタビ復号器の判定結果と前記2つのフィルタの少なくとも一方の等化誤差に基づいて前記可変係数器の係数を制御する制御手段とを有する波形等化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、伝送路の歪みにより発生した波形歪みをビットクロックによりサンプリングして除去する波形等化回路に関し、また、デジタル磁気記録再生装置や光記録再生装置にも好適な波形等化回路に関する。

【0002】

【従来の技術】図10は従来の波形等化回路を示し、例えばテレビジョン学会誌 Vol.45, No.5 (1991), pp. 589~591 にはフィードバック型FMマルチパス歪みキャンセラとして示されている。この回路はシフトレジスタ1aと、複数段の可変係数器2aと加算器3aにより構成される適応トランスバーサルフィルタAと、シフトレジスタ1bと、複数段の可変係数器2bと加算器3bにより構成される適応判定帰還フィルタBを有する。ビットクロックによりサンプリングされた信号xはまず、適応トランスバーサルフィルタの一部を構成するシフトレ*

$$a(j)^{(i+1)} = a(j)^{(i)} - \alpha \sum_{k=1}^K \text{sgn}(c_{k-j} e_k) \quad (1)$$

$$\text{sgn}(x) = \begin{cases} 1 & (x \geq 0) \\ -1 & (x < 0) \end{cases}$$

$$b(m)^{(i+1)} = b(m)^{(i)} + \beta \sum_{k=1}^K \text{sgn}(c_{k-m} e_k) \quad (2)$$

【0006】但し、可変係数a(j)、b(m)はそれぞれ複数段の可変係数器2a、2bのj番目、m番目の重み付け係数、Kは平均のための繰返し回数、 α 、 β はそれぞれ係数a(j)、b(m)の修正ゲインである。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の波形等化回路では、非線形歪みが除去された値 y_k がコンパレータ4の判定結果 c_k から減算した波形等化誤差 e_k に基づいて可変係数器2aの可変係数a(j)と可変係数器2bの可変係数b(m)を制御するので、コンパレータ4の判定結果 c_k に誤りが発生した場合に可変係数a(j)および可変係数b(m)の制御に悪影響を及ぼし、結果として伝送路の特性が変化したときに※50

*ジスタ1aに入力されてビットクロックで順次シフトされ、シフトレジスタ1aの各段の信号xがバラレルに読み出されて各段の可変係数器2aにより可変係数a(j)で重み付けされ、各乗算値が加算器3aにより加算され、時点kにおいて波形歪みが除去された出力値 x_k が得られる。

【0003】ここで、このトランスバーサルフィルタAのみを用いた場合には、線形歪みは除去されるが非線形歪みに対しては効果が小さいので、この非線形歪みを除去するために適応判定帰還フィルタBが追加されている。この適応判定帰還フィルタBでは、コンパレータ4の判定結果 c_k がシフトレジスタ1bに帰還されてビットクロックで順次シフトされ、シフトレジスタ1bの各段の信号 c_k がバラレルに読み出されて各段の可変係数器2bにより可変係数b(m)で重み付けされ、各乗算値が加算器3bにより加算される。この加算値は加算器3aの出力値 x_k から減算されて非線形歪みが除去され、この値 y_k がコンパレータ4により判定されて判定結果としての判定値 c_k が出力される。

【0004】また、この波形等化による誤差 e_k を算出するために非線形歪みが除去された値 y_k が判定結果 c_k から減算され、可変係数器制御回路5はこの値 e_k に基づいてi+1回目における可変係数器2aの可変係数a(j)と可変係数器2bの可変係数b(m)を以下のように制御する。

【0005】

【数1】

$$\sum_{k=1}^K \text{sgn}(c_{k-j} e_k) \quad (1)$$

※係数の収束が遅くなったり、判定誤りが増加するという問題点がある。

【0008】本発明は上記従来の波形等化回路の問題点に鑑み、伝送路の特性が変化したときに係数の収束が遅くなったり、判定誤りが増加することを防止することができる波形等化回路を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は上記目的を達成するために、ビタビ復号器の判定値の誤りが非常に少ないことに着目してビタビ復号器の判定結果に基づいて係数を制御するようにしている。すなわち本発明によれば、伝送路の周波数特性の変化を吸収するための可変係数器を備えた適応トランスバーサルフィルタおよび適応判定帰還フィルタの少なくとも一方と、前記2つのフィ

ルタの少なくとも一方の出力を復号するビタビ復号器と、前記ビタビ復号器の判定結果と前記2つのフィルタの少なくとも一方の等化誤差に基づいて前記可変係数器の係数を制御する制御手段とを有する波形等化回路が提供される。

【0010】

【作用】本発明では、誤りが非常に少ないビタビ復号器の判定結果に基づいてフィルタの係数が制御され、したがって、伝送路の特性が変化したときに係数の収束が遅くなったり、判定誤りが増加することを防止することができる。

【0011】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1は本発明に係る波形等化回路の一実施例を示すブロック図、図2は図1におけるNRZ I信号を示すタイミングチャート、図3は図2のNRZ I信号の状態遷移を示す説明図、図4は、図1の適応トランスバーサルフィルタを詳細に示すブロック図、図5は図1のビタビ復号器を詳細に示す説明図、図6は図1の適応判定帰還フィルタを詳細に示すブロック図、図7は図1および図6の状態判定値変換器の一例を示す説明図、図8は図1および図6の状態判定値変換器の他の例を示す説明図、図9は図1の可変係数器制御回路を詳細に示す説明図である。

【0012】本実施例の波形等化回路は一例として、図2に示すようにレベルがデータ「1」で反転され、データ「0」で反転されないNRZ I (Non-Return-to-Zero Inversion) 信号の波形を等化するように構成され、このNRZ I信号の状態「0」、「1」は図3に示すように遷移する。また、このNRZ I信号の判別値は、図2に示すように「+2」、「0」、「-2」の3通りとなる。

【0013】先ず、図1に示す波形等化回路の概略を説明すると、入力信号の線形歪みが図4に詳しく示すような適応トランスバーサルフィルタ10により除去されて図6に詳しく示すような適応判定帰還フィルタ30により非線形歪みが除去される(加算器41a、41b)。加算器41a、41bの出力信号 y^0 、 y^1 は図5に詳しく示すようなビタビ復号器20により復号され、また、それぞれ遅延回路42a、42bにより適応トランスバーサルフィルタ10と適応判定帰還フィルタ30の各可変係数器12、32a、32bの係数制御時点kまで遅延されて等化波形メモリ43a、43bに格納される。

【0014】この等化波形メモリ43a、43bにそれぞれ格納されたデータ y^0 d、 y^1 dはスイッチ44により、時点kにおける状態 S_k が「1」の場合にデータ y^1 dが選択され、「0」の場合にデータ y^0 dが選択され、等化誤差を有するデータ y_k として減算器45に印加されて等化誤差 e_k が算出される。また、状態・判

定値変換器46はビタビ復号器20のバスメモリ22における状態Sを判定値Cに変換し、可変係数器制御回路50は、この判定値Cと減算器45の出力である等化誤差 e_k に基づいてトランスバーサルフィルタ10の可変係数器12と、適応判定帰還フィルタ30の可変係数器32a、32bの各係数 $a(j)$ 、 $b(m)$ を演算する。ここで加算器41a、41b、遅延回路42a、42b、等化波形メモリ43a、43b、スイッチ44、減算器45、状態・判定値変換器46、可変係数器制御回路50は制御手段を構成する。

【0015】適応トランスバーサルフィルタ10は従来例と同様に図4に示すように、入力サンプルをビットクロックによりシフトするシフトレジスタ11と、シフトレジスタ11によりシフトされた各段の入力サンプルに対して可変係数器制御回路50により制御される重み付け係数 $a(j)$ を乗算する複数段の可変係数器12と、可変係数器12の各段の乗算結果を加算する加算器13により構成され、入力信号の線形歪みを除去する。

【0016】この適応トランスバーサルフィルタ10の出力である加算器13の加算結果は、後述する適応判定帰還フィルタ30の加算結果FBO、FB1からそれぞれ減算されて各結果 y^0 、 y^1 がビタビ復号器20のメトリック計算器21に出力される。図5に示すビタビ復号器20は一例として、H. Kobayashi, "Application of Probabilistic Decoding to Digital Magnetic Recording Systems", IBM, J. Res. Develop., 15, January, 1971, pp. 64-74により開示されたものを示し、メトリック計算器21により入力 y^0 、 y^1 に基づいてメトリックを計算してバスメモリ22を制御することにより、畳み込み符号の繰返し構造を利用して状態Sを結ぶ複数のバスから最ゆうバスを選択し、最ゆう復号を行う。なお、図5ではバスメモリ22の状態の出力と1ビット遅延された出力がmod 2加算器24により加算され復号結果となる。

【0017】ここで、NRZ I信号の状態数は2であり、ビタビ復号器20のバスメモリ22は2種類の状態をとり得る。この状態をバスメモリ22の入力側から見て1ビット目を S_{10} 、 S_{11} とし、2ビット目を S_{20} 、 S_{21} ・・・とすると、判定帰還される値は、図5に示すように次のタイミングで1ビット目に「0」となるバス状態 S_{10} 、 S_{20} 、 S_{30} ・・・に対する判定値と、次のタイミングで1ビット目に「1」となるバス状態 S_{11} 、 S_{21} 、 S_{31} ・・・に対する判定値の2通りが考えられる。

【0018】次に図6に示す適応判定帰還フィルタ30の状態・判定値変換器31の動作を説明する。先ず、バスメモリ22に記憶される信号は図3の状態遷移図に示すように円内の「1」または「0」であり、判定値は図2に示すように出力である「0」、「+2」、「-2」のいずれかである。また、適応判定帰還フィルタ30に

10

20

30

40

50

5

より帰還される信号、または可変係数器32a、32bの制御として用いられる情報が判定値であるので、状態Sから判定値Cに変換しなければならない。

【0019】そこで、状態・判定値変換器31では図7に示すように、

$$C(k) = 2 \{ S(k) - S(k+1) \}$$

に演算するか、または図7に示すように状態S(k)、S(k+1)およびS(k+2)から必要なビット数の判定値C(k)、C(k+1)が得られるROM等のテーブルを用いて状態Sが判定値Cに変換される。

【0020】この判定値Cは図6に示すように可変係数器32a、32bに印加され、可変係数器32a、32bにより可変係数器制御回路50からの係数b(m)が乗算され、各乗算結果が加算器33a、33bにより加算されて加算結果FB0、FB1が得られる。この場合、バス状態S10、S20、S30・・・に対して加算結果FB0が得られ、バス状態S11、S21、S31・・・に対して加算結果FB1が得られる。なお、この実施例では適応判定帰還フィルタ30を2系統で構成したが、時分割処理するようにすれば1系統で構成することができることはもちろんである。

【0021】次に、トランスバーサルフィルタ10の可変係数器12と、適応判定帰還フィルタ30の可変係数器32a、32bの各係数a(j)、b(m)について説明すると、この各係数a(j)、b(m)はそれぞれ式(1)、(2)に基づいて算出され、具体的には図9に示すように、符号判定器51が減算器45の出力である等化誤差 e_k と、j番目の係数を制御するための判定値 C_{k-j} の符号を判定し、アップダウン(U/D)カウンタ52を $e_k \cdot C_{k-j}$ が正の場合にアップカウントし、負の場合にダウンカウントする。

【0022】U/Dカウンタ52の出力は係数器53により、式(1)(2)における修正ゲイン α 、 β が乗算され、次いで加算器およびラッチ54により式(1)(2)における1つ前の係数a(j)⁽ⁱ⁾、b(m)⁽ⁱ⁾とそれぞれ減算、加算されてラッチされ、係数a(j)⁽ⁱ⁺¹⁾、b(m)⁽ⁱ⁺¹⁾が算出される。ここで、ラッチ54に印加されるラッチクロックは、式(1)(2)における平均のための繰返し回数Kの区間毎に発生し、また、同時にU/Dカウンタ52をプリセット

【0023】したがって、上記実施例によれば、ビタビ復号器20のバスメモリ22における状態Sから変換された判定値Cと等化誤差 e_k に基づいて係数a(j)、b(m)を制御するので、誤りが非常に少ないビタビ復

6

号器20の判定結果に基づいてフィルタ10、30の係数が制御される。なお、上記実施例ではトランスバーサルフィルタ10と判定帰還フィルタ30の両方を用いたが、波形歪みに応じてどちらか一方を用いてもよい。

【0024】

【発明の効果】以上説明したように本発明によれば、誤りが非常に少ないビタビ復号器の判定結果に基づいてフィルタの係数が制御されるので、伝送路の特性が変化したときに係数の収束が遅くなったり、判定誤りが増加することを防止することができる。

【図面の簡単な説明】

【図1】本発明に係る波形等化回路の一実施例を示すブロック図である。

【図2】図1におけるNRZ I信号を示すタイミングチャートである。

【図3】図2のNRZ I信号の状態遷移を示す説明図である。

【図4】図1の適応トランスバーサルフィルタを詳細に示すブロック図である。

【図5】図1のビタビ復号器を詳細に示す説明図である。

【図6】図1の適応判定帰還フィルタを詳細に示すブロック図である。

【図7】図1および図6の状態判定値変換器の一例を示す説明図である。

【図8】図1および図6の状態判定値変換器の他の例を示す説明図である。

【図9】図1の可変係数器制御回路を詳細に示す説明図である。

【図10】従来の波形等化回路を示すブロック図である。

【符号の説明】

10 適応トランスバーサルフィルタ

12、32a、32b 可変係数器

20 ビタビ復号器

21 メトリック計算器

22 バスメモリ

30 適応判定帰還フィルタ

41a、41b 加算器

42a、42b 遅延回路

43a、43b 等化波形メモリ

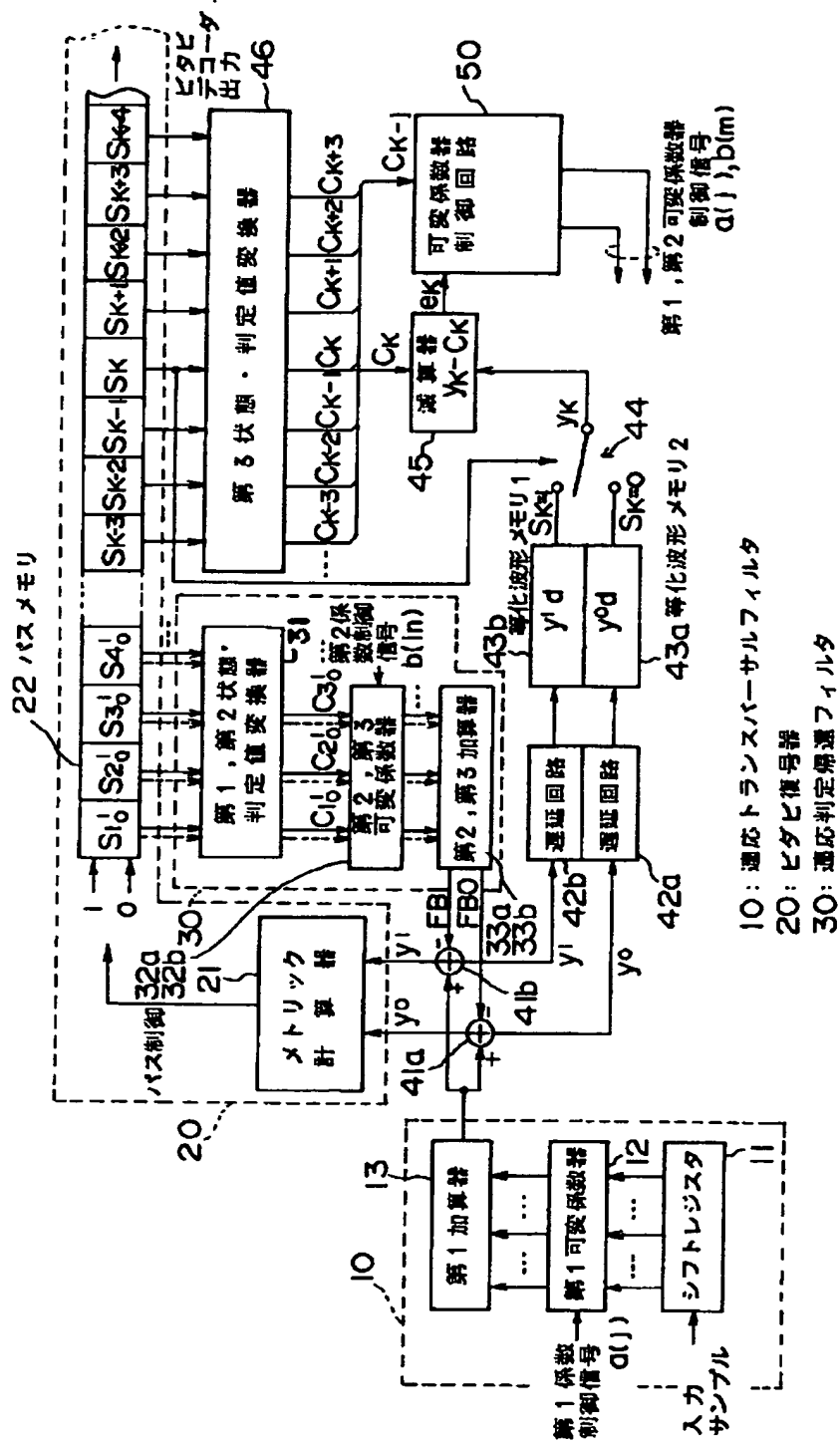
44 スイッチ

45 減算器

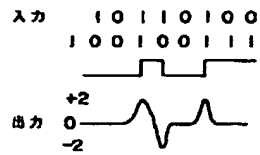
31、46 状態・判定値変換器

50 可変係数器制御回路

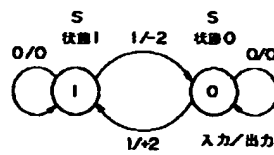
【図1】



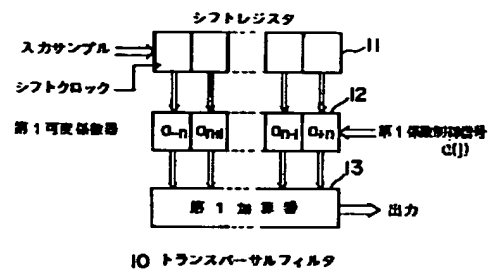
【図2】



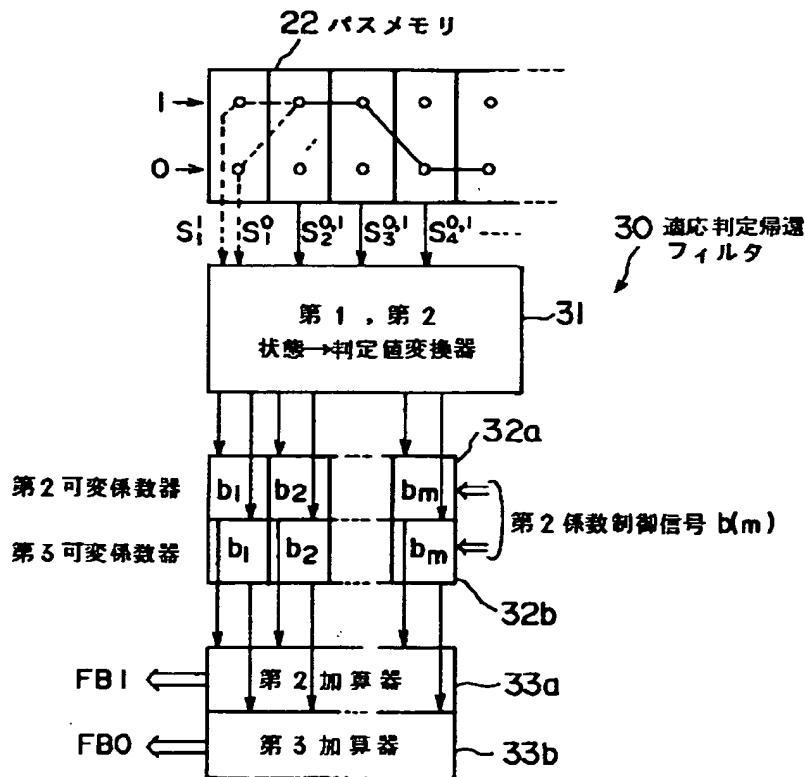
【図3】



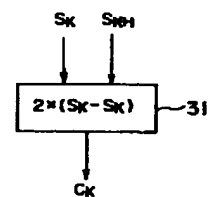
【図4】



【図6】



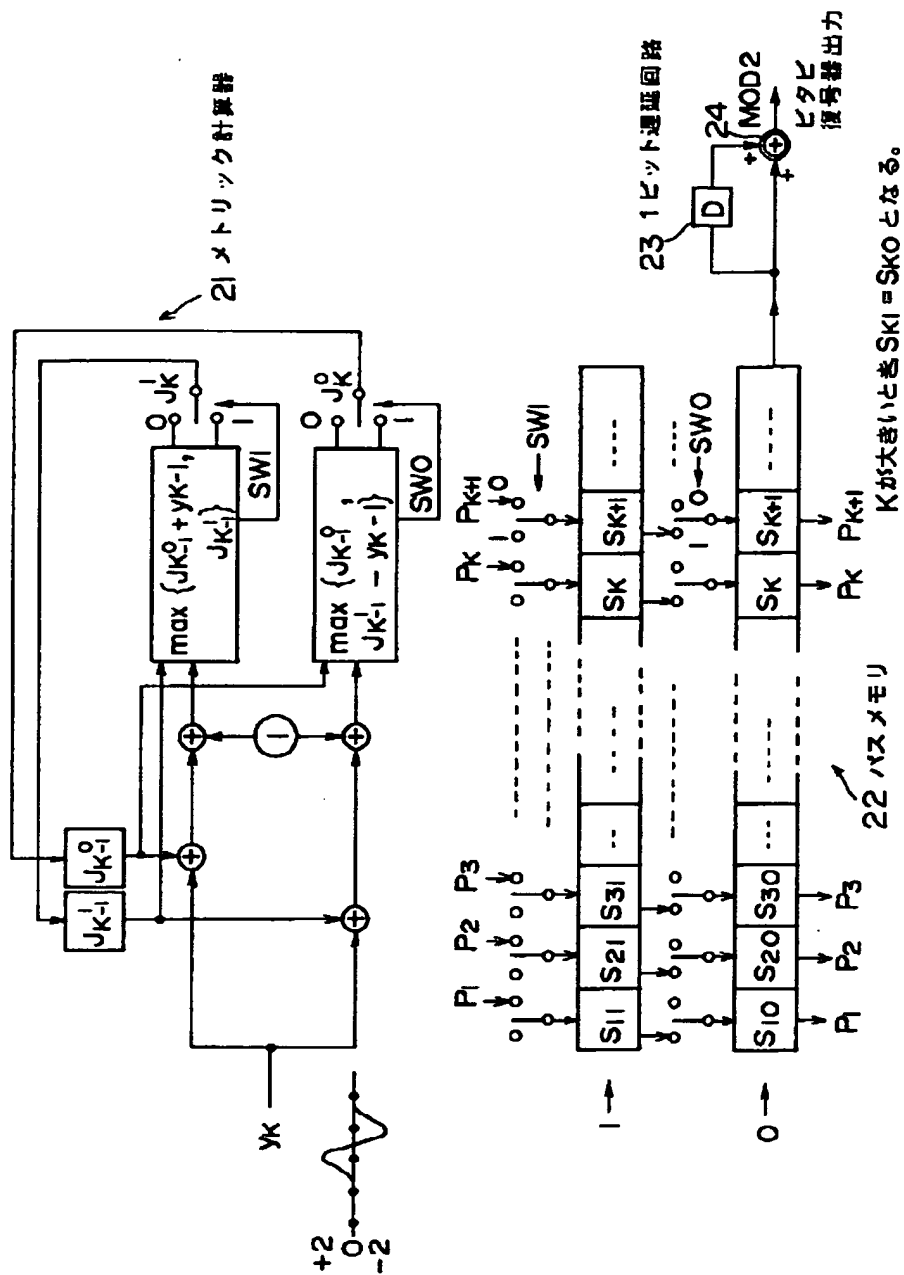
【図7】



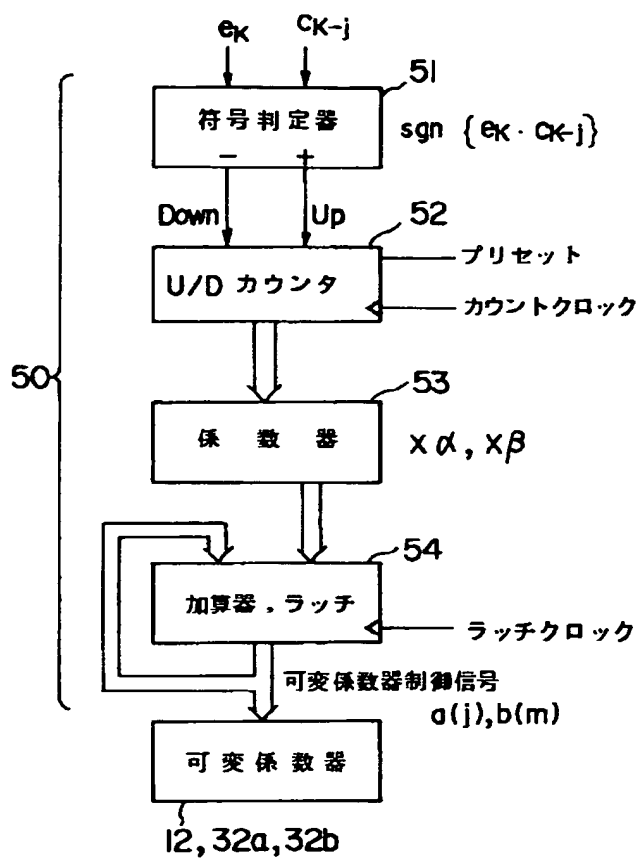
【図8】

| S_k | S_{k+1} | S_{k+2} | C_k | C_{k+1} |
|-------|-----------|-----------|-------|-----------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | -2 |
| 0 | 1 | 0 | -2 | +2 |
| 0 | 1 | 1 | -2 | 0 |
| 1 | 0 | 0 | +2 | 0 |
| 1 | 0 | 1 | +2 | -2 |
| 1 | 1 | 0 | 0 | +2 |
| 1 | 1 | 1 | 0 | 0 |

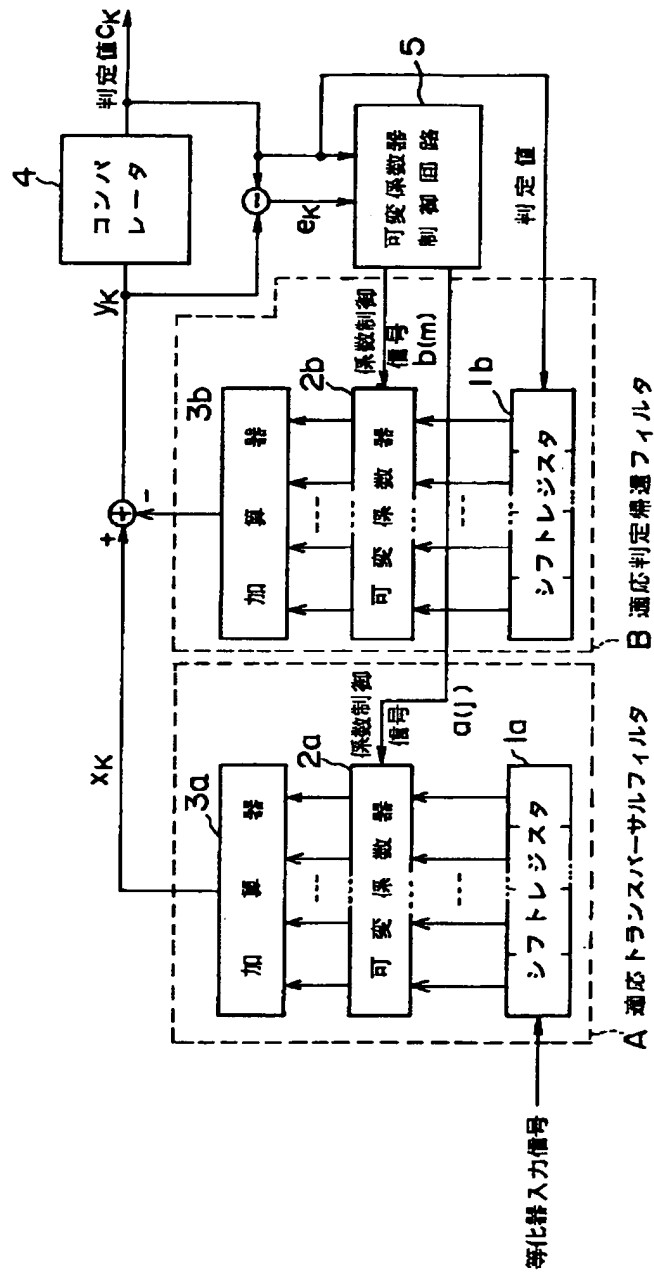
20 ビタビ復号器の構成例 (NRZI)



【図9】



【図10】



フロントページの続き

(51)Int. Cl.⁵

H03H 17/02

識別記号

庁内整理番号

L 7037-5J

FI

技術表示箇所